

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 59032141
PUBLICATION DATE : 21-02-84

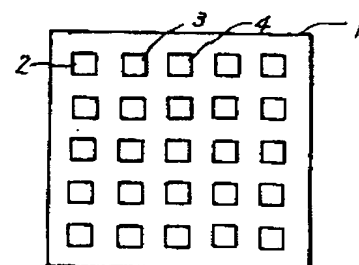
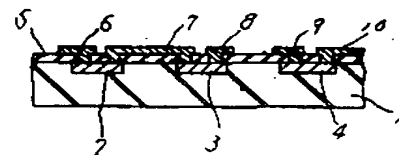
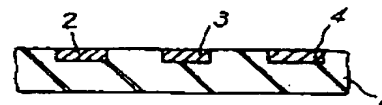
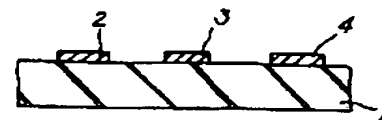
APPLICATION DATE : 16-08-82
APPLICATION NUMBER : 57141149

APPLICANT : HITACHI LTD;

INVENTOR : OKETA YOSHINORI;

INT.CL. : H01L 21/58 H01L 21/60 H05K 5/00

TITLE : MANUFACTURE OF ELECTRONIC
DEVICE



ABSTRACT : PURPOSE: To protect an electronic device from a damage by plating an electronic part on a low melting point material layer, heating the part and burying it in the layer, thereby facilitating the handling of the part.

CONSTITUTION: IC pellets 2~4 are aligned on a polytetrafluoroethylene plate 1 in a matrix shape, heated at 190~220°C for 10~60min so as to soften the plate, pressed by the own weight of the pellets or as required and buried. Then, the surface is covered with polyimide resin 5, a window is opened, and aluminum wirings 6~10 are deposited. Then, an LSI covered with an insulator can be readily assembled. When the pellets are treated by burying them in a low melting point material in this manner, they can be more readily handed as compared with a sole pellet, and the support can protect the surfaces of the pellets.

COPYRIGHT: (C)1984,JPO&Japio

BEST AVAILABLE COPY

⑩ 日本国特許庁 (JP)
⑫ 公開特許公報 (A)

⑪ 特許出願公開
昭59—32141

⑤ Int. Cl.³
H 01 L 21/58
21/60
H 05 K 5/00

識別記号

庁内整理番号
6679—5 F
6819—5 F
7216—5 F

⑬ 公開 昭和59年(1984)2月21日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 電子装置の製造方法

⑯ 特 願 昭57—141149
⑰ 出 願 昭57(1982)8月16日
⑱ 発 明 者 齊木篤
国分寺市東恋ヶ窪1丁目280番
地株式会社日立製作所中央研究
所内
⑲ 発 明 者 原田征喜
国分寺市東恋ヶ窪1丁目280番

地株式会社日立製作所中央研究
所内
⑳ 発 明 者 桶田吉紀
小平市上水本町1450番地株式会
社日立製作所武蔵工場内
㉑ 出 願 人 株式会社日立製作所
東京都千代田区丸の内1丁目5
番1号
㉒ 代 理 人 弁理士 薄田利幸

明 細 書

発明の名称 電子装置の製造方法

特許請求の範囲

1. 低融点材料層表面に電子部品を配線し、加熱処理を施すことによつて、前記電子部品を前記低融点材料層内に埋めこむことを特徴とする電子装置の製造方法。

発明の詳細な説明

本発明は、電子装置の製造方法に関し、特に電子部品の埋めこみ方法に関する。

電子部品、特に集積回路、大規模集積回路等の半導体ペレットは、極めて小さく、かつうすいため、ハンドリングが困難であり、作業がしにくく、かつ組立、実装の段階でペレット表面に有害な損傷を与えることがしばしば発生した。ペレット自体が小さくかつ極めてうすいものである以上、これを避けることは仲々出来ない。

これを解決する方法として、ペレットを他の物に埋めこみ、これを支持物として作業を進めれば、ペレット単体よりもハンドリングがしやすく、かつ

この支持物がペレットの表面を損傷から守ることが分つた。

本発明の目的は、電子部品のハンドリングを容易にした電子装置の新規な組立方法を提供することであり、更に他の目的は電子部品を損傷から守る方法を提供することにある。

以下、本発明の詳細を実施例に基づいて説明をする。

第1図に示すように、低融点材料、例えば約190℃の融点を有するポリテトラフルオロエチレンからなる基板1を用き、その表面に複数個の半導体ペレット2、3、4の如き電子部品を配線する。これらの半導体ペレットは例えば、シリコンウエーハに通常の不純物拡散処理等の半導体製造プロセスによつて、所定の導電型の半導体領域及びPN接合が形成されている単体トランジスタペレット又は、半導体集積回路ペレットであり、電極又は配線が必要な主表面が上側になるよう配置される。第5図は、このように半導体ペレットが格子状(マトリックス状)に配線された状態を

示すための平面図である。然る後、この基板1を約190℃乃至220℃(最ましくは基板の融点又はそれ以上の温度)にて10分乃至60分間加熱することによつて、上記低融点材料を軟化せしめ、その中に上記半導体ペレットを埋め込む。この時半導体ペレット自体の自重によつて、軟化された基板内に半導体ペレットの底面及び側面が埋め込まれるが、必要であれば、ペレット上部より適当なウェイトをかけるようにしてもよい。このようにして第2図に示すように、ほぼ平坦な平面に複数のペレットを埋め込むことができる。

然る後、第3図に示すより適切な絶縁被膜例えば、ポリイミド樹脂被膜5を、コーティングによつて基板表面及びペレット上面に形成し、所望の開孔部を設け、アルミニウム等の導電材料の蒸着技術によつて電極又は配線層6、7、8、9、10を形成することによつて、半導体材料表面が絶縁物によつて包囲された大規模半導体電子装置を得ることができる。なお、半導体ペレットを個々に分離することが必要な場合には、第4図に示すよ

うに、各ペレットの所定の半導体領域に蒸着、メッキ、半田ディップ等の手段により電極11、12、13、14、15、16を形成した後、図17、18、19のとうりに基板を切筋(ダイシング又はスクライブ)することによつて個々のペレットに分離してもよい。このように分離されたペレットは第11図に示すように、配線基板26上の導電層27、28に実装することができる。このようにすれば、極めて小さくて、ハンドリングしやすい半導体ペレットの如き電子部品であつても、基板1が支持体として作用せしめることによつて、組立、実装のハンドリングがしやすくなり、特にペレット表面に有害な損傷を与えることなく処理することができる。又基板として透明体を用いることによつて実装、組立の際には上部より接続位置関係、接続状態を確認しながら行なうことができる。

上記実施例では、基板1として平坦な表面を有するものを用いて説明したが、第6図に示すように、予めペレットをのせるべき箇所にくぼみを設

け、正確な位置に配置できるようにしてもよい。

又、上記実施例では、絶縁被膜5をペレット埋め込み後に、被覆することで説明したが、第7図に示すように、基板22上にペレットを配置した後、ポリイミド樹脂等の絶縁被膜を形成しておき、加熱処理することによつて第8図に示すようにペレットを埋込込んでもよい。

なお、絶縁被膜としてポリイミド樹脂を用いた場合には、表面に凹凸があつても極めて平坦な表面に仕上げるできるので、特に本発明の組立方法では有効である。

第9図及び第10図は、更に他の変形例を示すもので、先に述べた各種実施例において用いた基板の代りに、比較的高融点(例えば300℃)を有する絶縁基板(フッ素樹脂、例えばテフロンPFA、テフロンPTFE等)24の上に、比較的低融点(例えば180℃)の絶縁材料層(テフセル等)25を所定の厚さに設けたものを使用して、本発明の実施が可能である。この場合、熱による基板自体の変形を極めて小さくすることがで

きるので好都合である。

更に第3図の絶縁膜5及び第7図の絶縁膜23としては、ポリイミド樹脂に限らず、その他の絶縁材料例えば、環化ポリブタジエン(日本合成ゴム製)やドライフィルム(日立化成製)で知られる耐熱感光性樹脂等を用いることも有効である。その場合には、硬化温度を基板1のポリテトラフルオロエチレンとほぼ近似した値に合わせることができるので、製造プロセス上極めてのぞましい。

又、基板としては円形状のものを用いてもよいが、第5図に示すように四角形のものを用いることによつて、周辺部の無駄をなくし、材料効率を良く使用することが可能である。

更に、上記実施例では、加熱方法を特定していないが、ペレット配置部を局部的に加熱することによつて基板の変形を極力おさえる手段も有効である。

又、第12図は、本発明の一実施例により製造された4個の集積回路チップを絶縁基板1内に埋め込み、その表面に設けられたポリイミド樹脂等

特開昭59-32141(3)

1, 21, 22, 24...基板、2, 3, 4...半
導体ベレット(チップ)、5, 23, 29...絶縁
被膜、6, 7, 8, 9, 10...配線又は引出し電
極用導電膜。

代理人 弁理士 清田利

の絶縁被膜5の開口部を通して各集積回路チップ
間の配線層6, 7, 8が形成され、それらの表面
を更に絶縁膜29で被覆され、外部リード線接続
用ボンディングパッド部30, 31が露出された
超大规模集積回路の平面概略図を示すものであり、
第13図は同図のA-A'線に沿った断面概略図を
示すものである。

なお、上記説明では、半導体ベレットを埋め込
んだ半導体装置の製造方法を中心に説明したが、
コンデンサや抵抗等の電子部品を埋め込んで電子
装置を製造する際にも適用可能である。

更に又、低融点材料として絶縁物に限らず、導
電体を用いてもよいことは言うまでもない。

図面の簡単な説明

第1図、第2図、第3図、第4図、第6図、第
7図、第8図、第9図、第10図、第11図及び
第13図は本発明に係る電子装置の製造方法を説
明するための各断面図であり、

第5図及び第12図は電子装置の各平面図を示

